

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

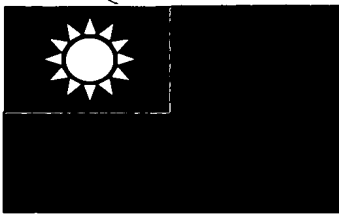
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



910015

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 10 日  
Application Date

申請案號：092115751  
Application No.

申請人：台灣茂矽電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 8 日  
Issue Date

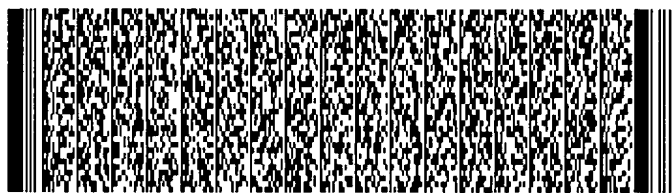
發文字號：09221015920  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	形成圓滑溝渠邊角之方法
	英 文	METHOD FOR FORMING ROUNDING CORNER IN THE TRENCH
二、 發明人 (共3人)	姓 名 (中文)	1. 孫培峰 2. 鍾逸夫
	姓 名 (英文)	1. Sun Pei-Feng 2. Chung Yi-Fu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高雄市苓雅區忠孝二路42號 2. 新竹市牛埔路169號7樓之2
	住居所 (英 文)	1. No. 42, Jungshiau 2nd Rd., Lingya, Kaohsiung, Taiwan, R.O.C. 2. 7F.-2, No. 169, Nioupu Rd., Hsinchu City, 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣茂矽電子股份有限公司
	名稱或 姓 名 (英文)	1. MOSEL VITELIC INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 19, Li Hsin Rd., Science-based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hu Hung-Chiu



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 張仁杰
	姓 名 (英文)	3. Chang Jen Chieh
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 臺北市文山區忠順街一段26巷11弄20號2樓
	住居所 (英 文)	3. 2F., No. 20, Alley 11, Lane 26, Sec. 1, Jhongshun St., Wunshan District, Taipei City, 116, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：形成圓滑溝渠邊角之方法)

本案係為一種形成圓滑溝渠邊角之方法，其係應用於溝渠式金屬氧化半導體元件製程中，該方法至少包含下列步驟：(a) 提供一半導體基板；(b) 依序形成一第一墊氧化層、一第一氮化矽層與一第一氧化層於半導體基板上；(c) 部份移除第一氧化層、第一氮化矽層、第一墊氧化層與半導體基板，以形成至少一溝渠；(d) 移除鄰近溝渠之部分第一氧化層、第一氮化矽層與第一墊氧化層；(e) 形成一第二墊氧化層於溝渠中；(f) 形成一第二氮化矽層於第二墊氧化層與第一氧化層上；(g) 移除部分第二氮化矽層，以於溝渠邊角與底部暴露第二墊氧化層；(h) 於未被第二氮化矽層覆蓋之第二墊氧化層上形成一熱氧化層；以及(i) 移除第二氮化矽層、熱氧化層與第二墊氧化層。

六、英文發明摘要 (發明名稱：METHOD FOR FORMING ROUNDING CORNER IN THE TRENCH)

A method for forming rounding corner in the trench is disclosed. The method is applied in the manufacturing process of the trench-type MOS device, and includes steps of (a) providing a semiconductor substrate; (b) forming a first pad oxide layer, a first nitride layer and a first oxide layer on the semiconductor substrate sequentially; (c) removing portions of the first



四、中文發明摘要 (發明名稱：形成圓滑溝渠邊角之方法)

五、(一)、本案代表圖為：第\_\_三(f)\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

20：半導體基板

24：溝渠

六、英文發明摘要 (發明名稱：METHOD FOR FORMING ROUNDING CORNER IN THE TRENCH)

oxide layer, the first nitride layer, the first pad oxide layer and the semiconductor substrate to form at least one trench; (d) removing portions of the residual first oxide layer, the first nitride layer and the first pad oxide layer adjacent to the trench; (e) forming a second pad oxide layer in the trench; (f) forming a second nitride layer on the second pad oxide layer and the first oxide



四、中文發明摘要 (發明名稱：形成圓滑溝渠邊角之方法)

六、英文發明摘要 (發明名稱：METHOD FOR FORMING ROUNDING CORNER IN THE TRENCH)

layer; (g) removing portions of the second nitride layer to expose the second pad oxide layer on the corner and bottom of the trench; (h) forming a thermal oxide layer on the second pad oxide layer uncovered by the second nitride layer; and (i) removing the second nitride layer, the thermal oxide layer and the second pad oxide layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。





## 五、發明說明 (1)

### 發明所屬之技術領域

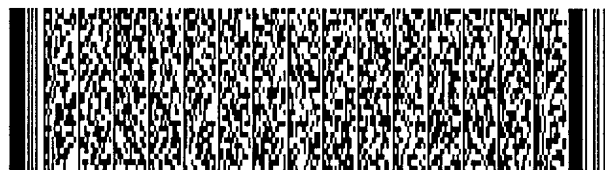
本案係關於一種形成圓滑溝渠邊角之方法，尤指一種應用於溝渠式金屬氧化半導體(trench-type MOS)元件或積體電路(Integrated Circuit)元件製程中，以於溝渠中形成圓滑邊角(rounding corner)之方法。

### 先前技術

現今，溝渠式金屬氧化半導體(trench-type MOS)元件或積體電路元件已廣為業界所應用。請參閱第一圖(a)至第一圖(b)，其係為傳統製造溝渠式金氧半場效電晶體的部分流程示意圖。如第一圖(a)所示，於製造溝渠式金氧半場效電晶體時，首先提供一半導體基板10，接著於半導體基板10上依序形成墊氧化層11、氮化矽層12以及氧化層13。然後，以傳統方法，例如微影與蝕刻方法，移除部分氧化層13、氮化矽層12、墊氧化層11以及半導體基板10，以形成至少一溝渠14。

由於在形成溝渠14時，使用電漿蝕刻通常會在溝渠14側壁產生表面晶格缺陷或形成不平坦表面，因此為了解決這個問題，會先在溝渠14側壁形成一犧牲氧化層(sacrifice oxide)(未圖示)，然後再移除該犧牲氧化層。

隨後，如第一圖(b)所示，於溝渠14中及氧化層13上形成一氧化層以作為閘極氧化層(gate oxide)或介電層(dielectric layer)15。接著，進行後續程序，例如於溝



## 五、發明說明 (2)

渠14底部形成底氧化層(bottom oxide, 未圖示)且/或沉積多晶矽層(未圖示)於溝渠14等程序,以完成溝渠式金氧半場效電晶體之製作。

請再參閱第一圖(a),當以電漿蝕刻方式形成溝渠14時,通常會使溝渠14之側壁呈垂直輪廓,並使其底邊角以近似於直角呈現,因此於後續氧化程序中,閘極氧化層或介電層15會依照溝渠14的整體輪廓而形成。當進行後續製程後,例如沉積多晶矽層於溝渠14且移除氧化層13、氮化矽層12與墊氧化層11後,由於溝渠14頂邊角與底邊角係以近似於直角呈現,因此頂邊角附近之晶格會因彼此擠壓而使其頂邊角產生邊角應力(corner stress)。另外,溝渠14底邊角附近亦會產生閘極氧化層或介電層15厚度不均勻的現象。

請參閱第二圖(a)與第二圖(b),其係為習知製程步驟所形成之溝渠於頂邊角與底邊角之掃描式電子顯微鏡圖。由第二圖(a)可知,溝渠14之頂邊角以近似於直角的輪廓呈現,此時溝渠14頂邊角附近的晶格會彼此擠壓,因而使溝渠14產生邊角應力(corner stress),因此當溝渠式金氧半場效電晶體於操作時便會產生尖端放電的現象。另外,由第二圖(b)可清楚地了解,溝渠14底邊角亦不甚圓滑,當於溝渠14中形成閘極氧化層或介電層15時,閘極氧化層或介電層15的厚度會不均勻,如此將使溝渠式金氧半場效電晶體元件於操作時產生嚴重的漏電流(leakage current)之現象。



### 五、發明說明 (3)

因此，如何發展一種於溝渠式金屬氧化半導體元件或積體電路元件製程中，以於溝渠中形成圓滑邊角之方法，俾以避免邊角應力與閘極氧化層或介電層厚度不均勻所導致之半導體元件尖端放電與漏電流的現象，實為目前迫切需要解決之問題。

#### 發明內容

本案之主要目的係提供一種於溝渠式金屬氧化半導體元件或積體電路元件製程中，用以形成圓滑溝渠邊角之方法，藉此可避免邊角應力與閘極氧化層或介電層厚度不均勻之問題，進而防止半導體元件產生尖端放電與漏電流的現象。

為達上述目的，本案提供一種形成圓滑溝渠邊角之方法，其係應於溝渠式金屬氧化半導體元件製程中，該方法至少包含下列步驟：(a)提供一半導體基板；(b)依序形成一第一墊氧化層、一第一氮化矽層與一第一氧化層於半導體基板上；(c)部份移除第一氧化層、第一氮化矽層、第一墊氧化層與半導體基板，以形成至少一溝渠；(d)移除鄰近溝渠之部分第一氧化層、第一氮化矽層與第一墊氧化層；(e)形成一第二墊氧化層於溝渠中；(f)形成一第二氮化矽層於第二墊氧化層與第一氧化層上；(g)移除部分第二氮化矽層，以於溝渠邊角與底部暴露第二墊氧化層；(h)於未被第二氮化矽層覆蓋之第二墊氧化層上形成一熱氧化層；以及(i)移除第二氮化矽層、熱氧化層與第二墊



#### 五、發明說明 (4)

氧化層。

根據本案之構想，其中步驟(c)係由微影與蝕刻方法完成。

根據本案之構想，其中溝渠之深度為1.0至3.0 𠂇，寬度為0.2至1.0 𠂇。

根據本案之構想，其中步驟(d)係藉由氫氟酸完成。

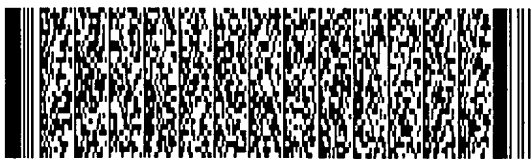
根據本案之構想，其中第二氮化矽層係藉由沉積方式形成。

根據本案之構想，其中步驟(g)係由乾蝕刻方式完成。

根據本案之構想，其中步驟(h)係藉由熱氧化法完成。

根據本案之構想，其中步驟(i)係藉由磷酸完成。

為達上述目的，本案另提供一種溝渠式金屬氧化半導體元件之製造方法，該方法至少包含下列步驟：(a)提供一半導體基板；(b)依序形成一第一墊氧化層、一第一氮化矽層與一第一氧化層於半導體基板上；(c)部份移除第一氧化層、第一氮化矽層、第一墊氧化層與半導體基板，以形成至少一溝渠；(d)移除鄰近溝渠之部分第一氧化層、第一氮化矽層與第一墊氧化層；(e)形成一第二墊氧化層於溝渠中；(f)形成一第二氮化矽層於第二墊氧化層與第一氧化層上；(g)移除部分第二氮化矽層，以於溝渠邊角與底部暴露第二墊氧化層；(h)於未被第二氮化矽層覆蓋之第二墊氧化層上形成一熱氧化層；(i)移除第二氮化矽



## 五、發明說明 (5)

層、熱氧化層與第二墊氧化層；以及(j)形成一第二氧化層於該溝渠中與該第一氧化層上。

本案得藉由下列圖示與實施例說明，俾得一更清楚之了解。

### 圖示簡單說明

第一圖(a)~(b)：其係為傳統製造溝渠式金氧半場效電晶體的部分流程示意圖。

第二圖(a)：其係顯示傳統製程所形成之溝渠於其頂部之掃描式電子顯微鏡圖。

第二圖(b)：其係顯示傳統製程所形成之溝渠於其底部之掃描式電子顯微鏡圖。

第三圖(a)~(g)：其係為本案較佳實施例之流程示意圖。

第四圖(a)：其係顯示本案製程所形成之溝渠於其頂部之掃描式電子顯微鏡圖。

第四圖(b)：其係顯示本案製程所形成之溝渠於其底部之掃描式電子顯微鏡圖。

### 圖示符號說明

10：半導體基板

12：氮化矽層

14：溝渠

20：半導體基板

22：第一氮化矽層

11：墊氧化層

13：氧化層

15：閘極氧化層/介電層

21：第一墊氧化層

23：第一氧化層



## 五、發明說明 (6)

24: 溝渠

25: 第二墊氧化層

26: 第二氮化矽層

27: 熱氧化層

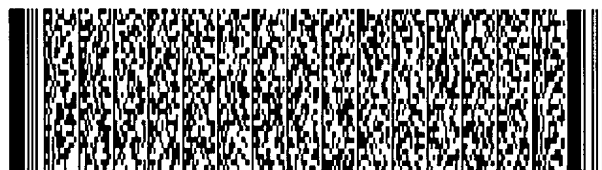
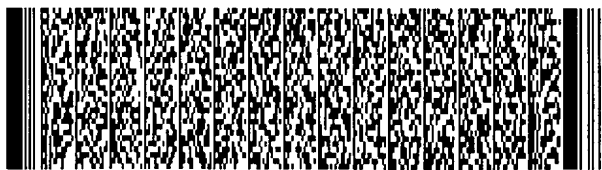
28: 閘極氧化層/介電層

### 實施方式

本案方法主要係應用於溝渠式金屬氧化半導體元件或積體電路元件的製程中，用以形成具圓滑邊角之溝渠，俾以防止邊角應力與閘極氧化層或介電層厚度不均勻的現象，進而避免尖端放電與漏電流的情形產生，以及溝渠式金屬氧化半導體元件或積體電路元件電性的改變。以下實施例雖以溝渠式金氧半場效電晶體的製程為例，然而，其他種類之溝渠式功率半導體元件在此皆可併入參考。

請參閱第三圖(a)至第三圖(g)，其係為本案較佳實施例之流程示意圖。如第三圖(a)所示，於製造溝渠式金氧半場效電晶體時，首先提供一半導體基板20，其中半導體基板20可為矽基板。然後，於半導體基板20上依序形成第一墊氧化層21、第一氮化矽層22以及第一氧化層23。其中，第一墊氧化層21係具有緩衝的作用，可減低半導體基板20與第一氮化矽層22之間的應力作用，而第一氧化層23較佳為氧化矽層。接著，以微影與蝕刻的方式移除部分第一氧化層23、第一氮化矽層22、第一墊氧化層21以及半導體基板20，以形成至少一溝渠24，其中溝渠24的深度最佳為1.0至3.0 矽，而寬度最佳為0.2至1.0 矽。

接下來，如第三圖(b)所示，以氫氟酸(HF)移除鄰近



#### 五、發明說明 (7)

溝渠24處之部分第一氧化層23、第一氮化矽22與第一墊氧化層21。隨後，如第三圖(c)所示，於溝渠24中形成第二墊氧化層25，且沉積第二氮化矽層26於第二墊氧化層25上並延伸覆蓋第一氧化層23。其中，第二墊氧化層25之厚度以約300-400Å為佳，且第二氮化矽層26之厚度以約200 Å為佳。

然後，如第三圖(d)所示，以乾蝕刻(dry etch)方式將水平方向(X方向)之第二氮化矽層26移除。此時垂直方向(Y方向)之第二氮化矽層26會保留，使得溝渠24頂邊角與底面之第二墊氧化層25以及第一氧化層23暴露出來。之後，如第三圖(e)所示，以熱氧化法於溝渠24頂邊角與底面未被第二氮化矽層26所覆蓋的地方形成一熱氧化層27，此時第一氧化層23上方亦會形成一層薄的熱氧化層27。接著，如第三圖(f)所示，以磷酸將第二氮化矽層26、熱氧化層27與第二墊氧化層25移除，以形成具圓滑頂邊角與底邊角之溝渠24。最後，如第三圖(g)所示，形成一第二氧化層於溝渠24中與第一氧化層23上，以作為閘極氧化層或介電層28。

隨後，進行後續製程，例如於溝渠24底部形成底閘氧化層、沉積多晶矽於溝渠24中且/或移除第一氧化層23、第一氮化矽層22與第一墊氧化層21等製程，以完成溝渠式金氧半場效電晶體之製作。

請參閱第四圖(a)與第四圖(b)，其係分別為本案製程步驟所形成之溝渠於頂邊角與底邊角之掃描式電子顯微鏡



##### 五、發明說明 (8)

圖。由第四圖(a)可知，溝渠24頂邊角經過上述圓滑化步驟後已明顯地以近似於圓弧的輪廓呈現，因此頂邊角附近的晶格便不易擠壓，溝渠24不再有邊角應力(corner stress)作用，如此溝渠式金屬氧化半導體元件於操作時就不會產生尖端放電的現象。另外，由第四圖(b)亦可清楚地了解，溝渠24底邊角經上述圓滑化步驟後亦已明顯地以近似於圓弧的輪廓呈現，因此於形成閘極氧化層或介電層28時，將使閘極氧化層或介電層28之厚度更趨於一致，如此將可避免溝渠式金屬氧化半導體元件於操作時產生嚴重的漏電流之現象。

綜上所述，本案係一種形成圓滑溝渠邊角之方法，其可應用於溝渠式金屬氧化半導體元件或積體電路元件製程中。藉由本案之方法，不止可以避免溝渠邊角應力(corner stress)與閘極氧化層厚度不均的問題，且可進一步避免尖端放電與漏電流現象產生。本案極具產業之價值，爰依法提出申請。

本案得藉由熟悉此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請範圍所欲保護者。





#### 圖式簡單說明

第一圖(a)~(b)：其係為傳統製造溝渠式金氧半場效電晶體的部分流程示意圖。

第二圖(a)：其係顯示傳統製程所形成之溝渠於其頂部之掃描式電子顯微鏡圖。

第二圖(b)：其係顯示傳統製程所形成之溝渠於其底部之掃描式電子顯微鏡圖。

第三圖(a)~(g)：其係為本案較佳實施例之流程示意圖。

第四圖(a)：其係顯示本案製程所形成之溝渠於其頂部之掃描式電子顯微鏡圖。

第四圖(b)：其係顯示本案製程所形成之溝渠於其底部之掃描式電子顯微鏡圖。



#### 六、申請專利範圍

1.一種形成圓滑溝渠邊角之方法，其係應於溝渠式金屬氧化半導體元件製程中，該方法至少包含下列步驟：

(a)提供一半導體基板；

(b)依序形成一第一墊氧化層、一第一氮化矽層與一第一氧化層於該半導體基板上；

(c)部份移除該第一氧化層、該第一氮化矽層、該第一墊氧化層與該半導體基板，以形成至少一溝渠；

(d)移除鄰近該溝渠之部分該第一氧化層、該第一氮化矽層與該第一墊氧化層；

(e)形成一第二墊氧化層於該溝渠中；

(f)形成一第二氮化矽層於該第二墊氧化層與該第一氧化層上；

(g)移除部分該第二氮化矽層，以於溝渠邊角與底部暴露該第二墊氧化層；

(h)於未被該第二氮化矽層覆蓋之該第二墊氧化層上形成一熱氧化層；以及

(i)移除該第二氮化矽層、該熱氧化層與該第二墊氧化層。

2.如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該步驟(c)係由微影與蝕刻方法完成。

3.如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該溝渠之深度為1.0至3.0 $\mu$ m，寬度為0.2至1.0 $\mu$ m。

4.如申請專利範圍第1項所述之形成圓滑溝渠邊角之方

#### 六、申請專利範圍

法，其中該步驟(d)係藉由氫氟酸完成。

5. 如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該第二氮化矽層係藉由沉積方式形成。

6. 如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該步驟(g)係由乾蝕刻方式完成。

7. 如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該步驟(h)係藉由熱氧化法完成。

8. 如申請專利範圍第1項所述之形成圓滑溝渠邊角之方法，其中該步驟(i)係藉由磷酸完成。

9. 一種溝渠式金屬氧化半導體元件之製造方法，該方法至少包含下列步驟：

(a) 提供一半導體基板；

(b) 依序形成一第一墊氧化層、一第一氮化矽層與一第一氧化層於該半導體基板上；

(c) 部份移除該第一氧化層、該第一氮化矽層、該第一墊氧化層與該半導體基板，以形成至少一溝渠；

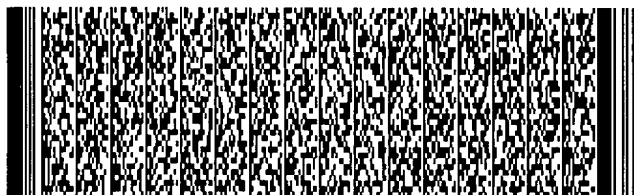
(d) 移除鄰近該溝渠之部分該第一氧化層、該第一氮化矽層與該第一墊氧化層；

(e) 形成一第二墊氧化層於該溝渠中；

(f) 形成一第二氮化矽層於該第二墊氧化層與該第一氧化層上；

(g) 移除部分該第二氮化矽層，以於溝渠邊角與底部暴露該第二墊氧化層；

(h) 於未被該第二氮化矽層覆蓋之第二墊氧化層上形



六、申請專利範圍

成一熱氧化層；

(i) 移除該第二氮化矽層、該熱氧化層與該第二墊氧化層；以及

(j) 形成一第二氧化層於該溝渠與該第一氧化層上。

10. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該步驟(c)係由微影與蝕刻方法完成。

11. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該溝渠之深度為1.0至3.0 𠂇，寬度為0.2至1.0 𠂇。

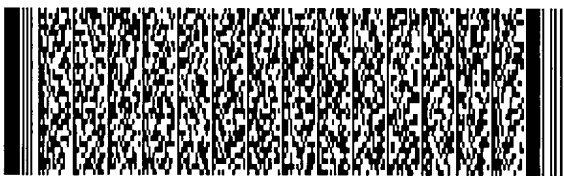
12. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該步驟(d)係藉由氫氟酸完成。

13. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該第二氮化矽層係藉由沉積方式形成。

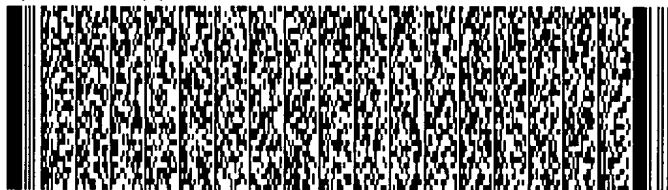
14. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該步驟(g)係由乾蝕刻方式完成。

15. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該步驟(h)係藉由熱氧化法完成。

16. 如申請專利範圍第9項所述之溝渠式金屬氧化半導體元件製造方法，其中該步驟(i)係藉由磷酸完成。



第 1/18 頁



第 2/18 頁



第 3/18 頁



第 3/18 頁



第 4/18 頁



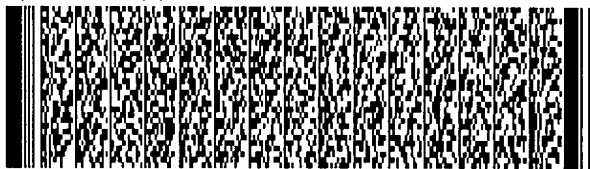
第 5/18 頁



第 6/18 頁



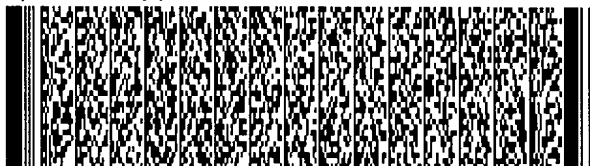
第 7/18 頁



第 7/18 頁



第 8/18 頁



第 8/18 頁



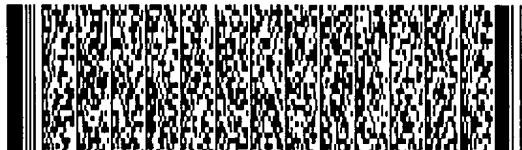
第 9/18 頁



第 9/18 頁



第 10/18 頁



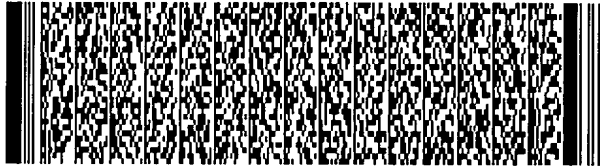
第 10/18 頁



第 11/18 頁



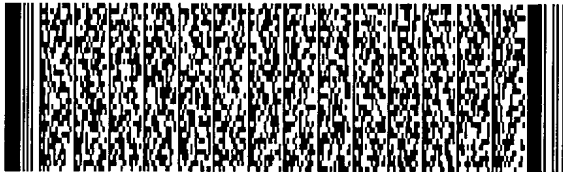
第 12/18 頁



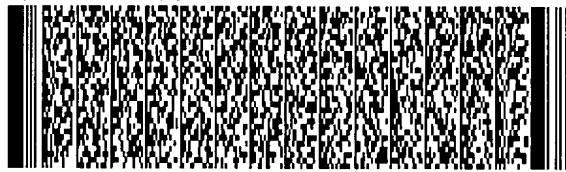
第 12/18 頁



第 13/18 頁



第 13/18 頁



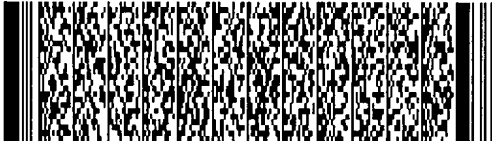
第 14/18 頁



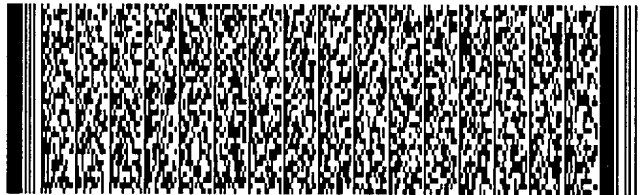
第 14/18 頁



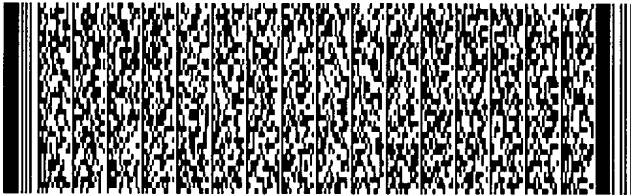
第 15/18 頁



第 16/18 頁

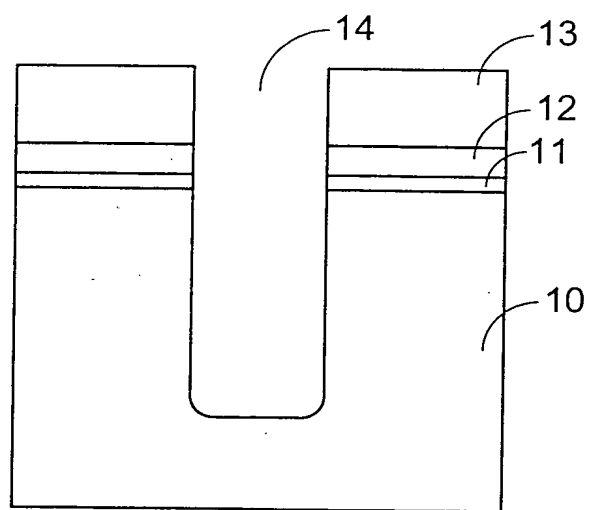


第 17/18 頁

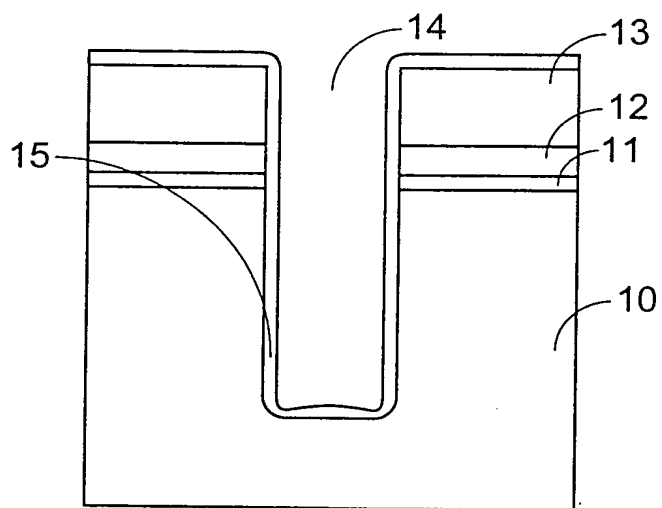


第 18/18 頁

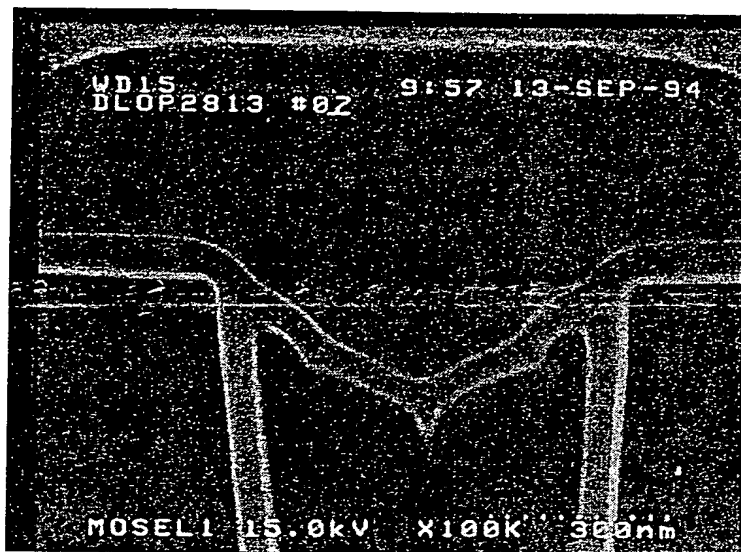




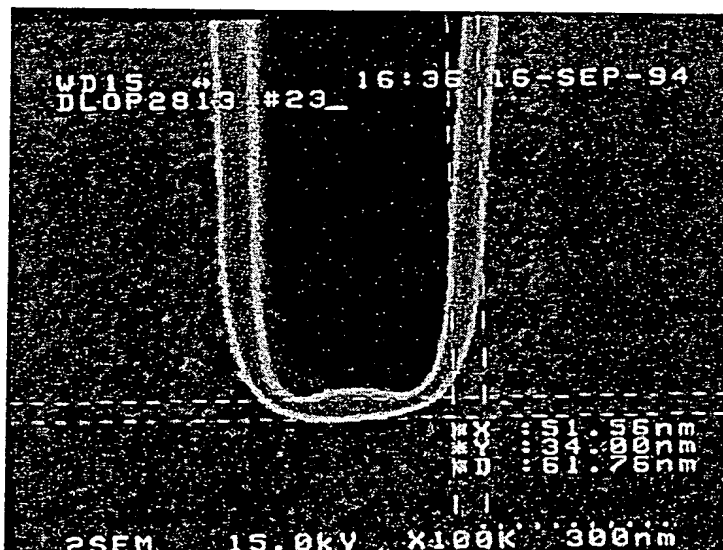
第一圖(a)



第一圖(b)

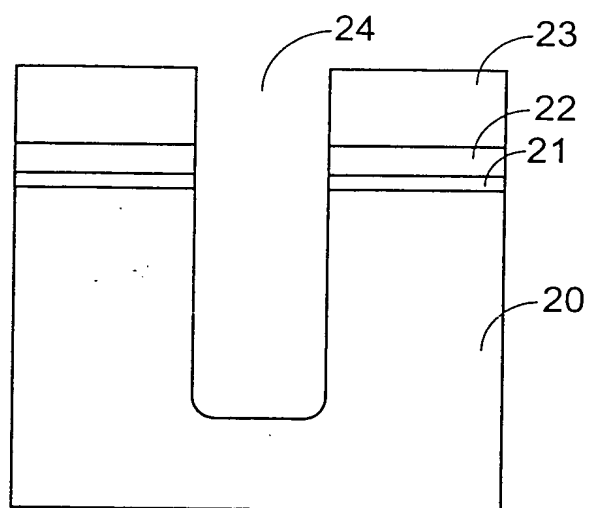


第二圖(a)

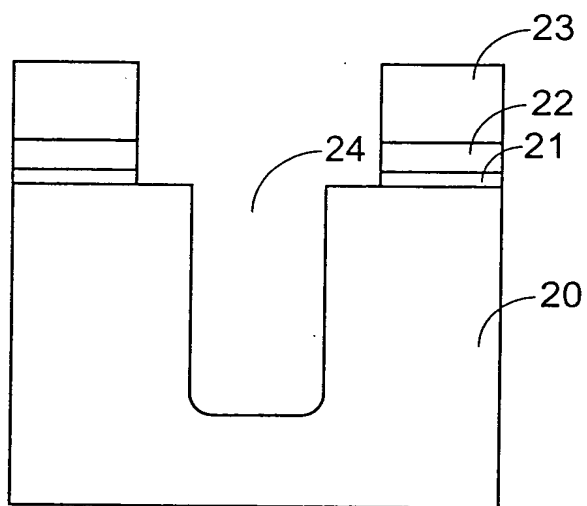


第二圖(b)

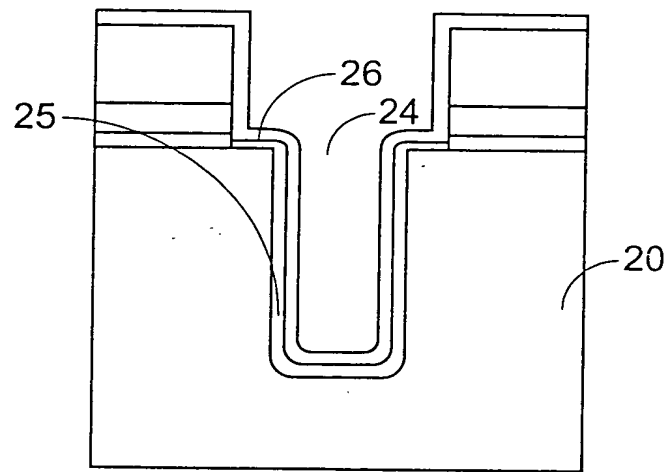




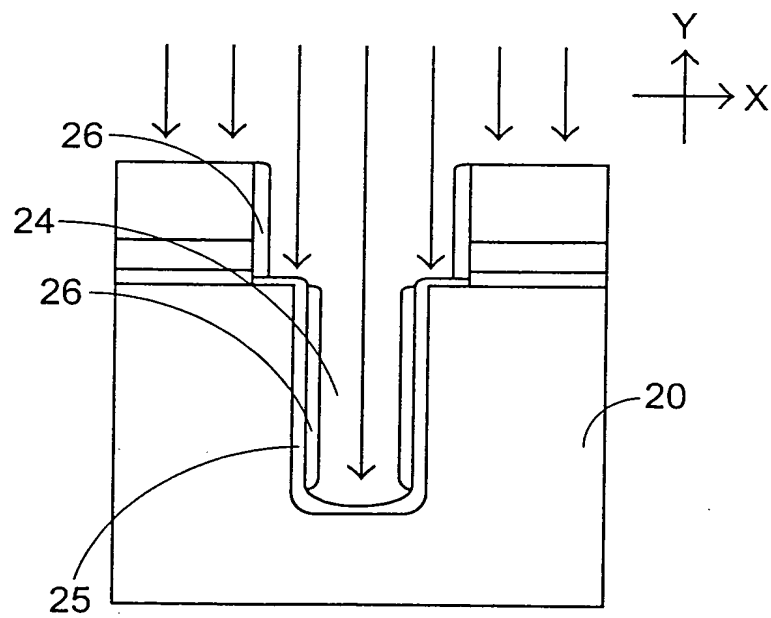
第三圖(a)



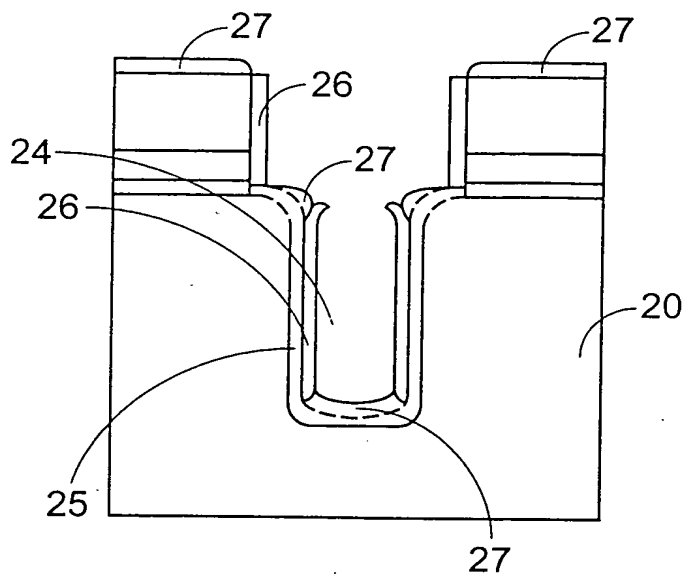
第三圖(b)



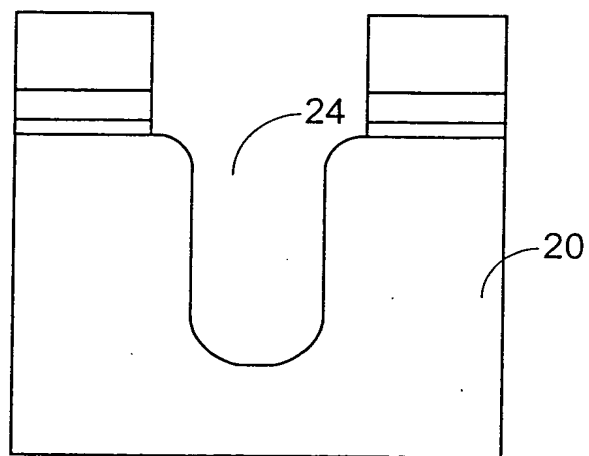
第三圖(c)



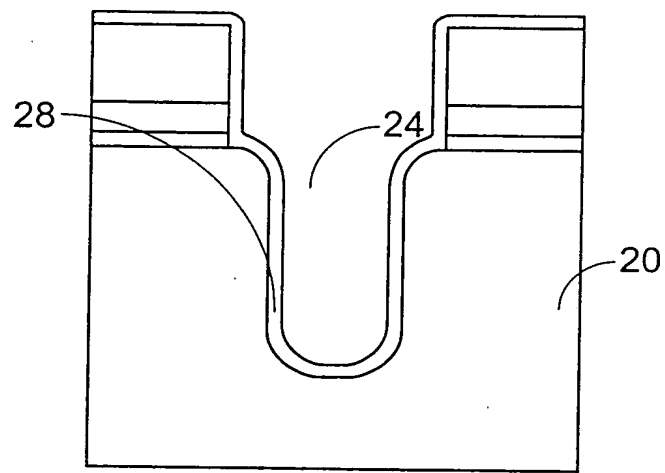
第三圖(d)



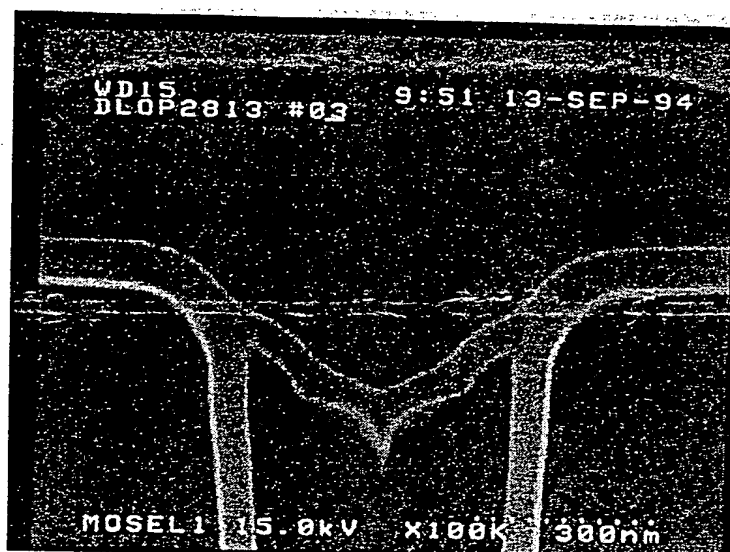
第三圖(e)



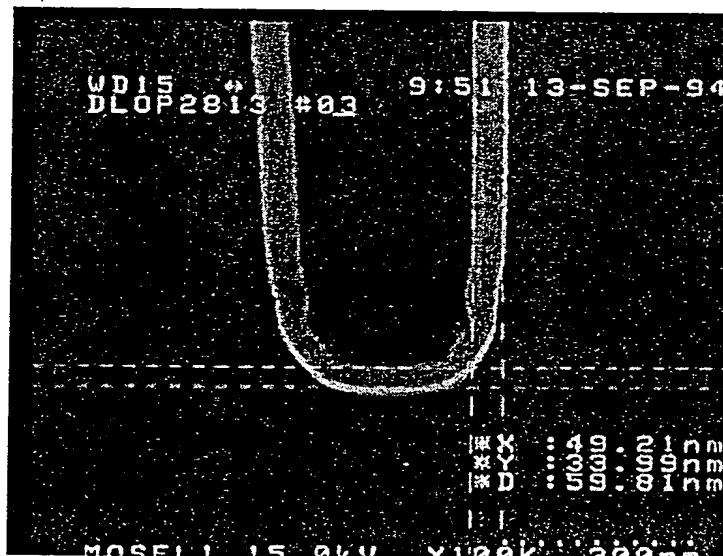
第三圖(f)



第三圖(g)



第四圖(a)



第四圖(b)